

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: CHAN-SUK LEE
Application No.: NEW
Filed: January 26, 2004
For: STACKED SEMICONDUCTOR PACKAGE AND METHOD FOR
FABRICATING

PRIORITY LETTER

January 26, 2004

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

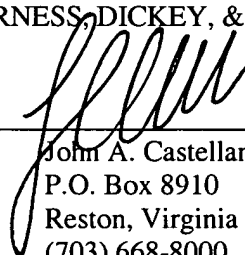
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0010761	February 20, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By



John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC: jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010761
Application Number

출원 년 월 일 : 2003년 02월 20일
Date of Application FEB 20, 2003

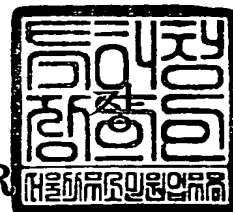
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2003.02.20
【국제특허분류】	H01L
【발명의 명칭】	적층형 반도체 패키지 및 그 제조방법
【발명의 영문명칭】	Stacked semiconductor package and fabricating method the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이찬석
【성명의 영문표기】	LEE, Chan Suk
【주민등록번호】	640301-1652424
【우편번호】	330-771
【주소】	충청남도 천안시 신방동 두레현대아파트 101-701
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

1020030010761

출력 일자: 2003/9/25

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 778,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

제1 본드패드가 재배선 된 제2 본드패드를 갖는 반도체 칩들이 쌓여진 적층형 반도체 패키지에 관하여 개시한다. 본 발명은 하부, 중간 및 상부 반도체 칩을 계단형으로 적층하고 각각의 반도체 칩에서 서로 대응하는 제2 본드패드끼리 제1 연결수단으로 연결하고, 상부 반도체 칩의 제1 본드패드는 기본 골격재의 접속수단 제2 연결수단으로 연결한다. 따라서 기존에 개발된 장비와 공정을 그대로 사용하여 최소 크기로 높은 성능을 발휘 할 수 있는 반도체 패키지를 구현함과 동시에, 공정 불량을 줄이고 제조 공정의 효율을 증대시킬 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

적층형 반도체 패키지 및 그 제조방법{Stacked semiconductor package and fabricating method the same}

【도면의 간단한 설명】

도 1은 본 발명에서 사용되는 제1 본드패드가 재배치된 제2 본드패드를 갖는 반도체 칩을 설명하기 위해 도시한 평면도이다.

도 2는 본 발명에 의한 적층형 반도체 패키지를 설명하기 위해 도시한 단면도이다.

도 3은 본 발명에서 반도체 칩들이 적층된 형태와 제1 및 제2 연결수단이 와이어 본딩된 형태를 설명하기 위해 도시한 개략적인 단면도이다.

도 4는 본 발명에서 반도체 칩들이 적층된 형태와 제1 및 제2 연결수단이 와이어 본딩된 형태를 설명하기 위해 도시한 개략적인 평면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

- | | |
|-------------------------|----------------|
| 100: 적층형 반도체 패키지, | 110: 기본 골격재, |
| 112: 칩 패들(chip paddle), | 114: 내부리드, |
| 120: 절연성 접착테이프, | 130: 제1 연결수단, |
| 132: 연결부, | 140: 제2 연결수단, |
| 150: 봉지수지(EMC). | 200: 하부 반도체 칩, |
| 300: 중간 반도체 칩, | 400: 상부 반도체 칩. |

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 패키지 및 제조방법에 관한 것으로, 더욱 상세하게는 하나의 반도체 패키지에 복수개의 반도체 칩을 포함하는 적층형 반도체 패키지에 관한 것이다.
- <13> 반도체 제조업체는 반도체 소자의 집적도를 높이고, 크기를 소형화하기 위해 부단한 노력을 지속하고 있다. 특히 웨이퍼 제조과정에서는 집적도를 높이기 위해서 많은 비용이 소요되는 설비 투자가 이루어지고, 끊임없는 연구 개발이 지속되고 있다. 일 예로 반도체 메모리 소자의 경우, 64메가 디램에서 256메가 디램으로 집적도를 높이기 위해서는 수많은 기술적 문제를 해결하고, 제조 공정상의 문제를 해결하고, 아울러 새로운 장비를 구입해야 하는 어려움이 있다.
- <14> 최근들어서 여러 개의 반도체 칩을 하나의 반도체 패키지 내부에 집어넣어 조립하는 방법이 반도체 제조업체에 의해 소개되었다. 이러한 하나의 반도체 칩 내부에 여러개의 반도체 칩을 포함하는 반도체 패키지는, 웨이퍼 상태에서 집적도를 높이는 노력보다 적은 노력으로 집적도를 높이는 것이 가능하다. 가령 64메가 디램의 반도체 칩을 4개를 집어넣어 하나의 반도체 패키지로 조립한다면 쉽게 256메가의 디램을 만드는 것이 가능하다.
- <15> 대부분의 멀티칩 형태의 반도체 패키지 제조방법은 반도체 패키지 내부에서 단위 반도체 칩을 쌓는 형태로 만들어진다. 이렇게 단위 반도체 칩을 쌓아서 적층된 반도체 패키지를 제조하는 것에 대한 기술이 미국특허 US 6,239,496호에 도시바(Toshiba)사에 의해 "Package having

very thin semiconductor chip, multichip module assembled by the package and method for manufacturing the same"이란 제목으로 특허출원 된 바 있다.

- <16> 그러나 종래 기술에 의한 멀티칩 형태의 반도체 패키지는, 적층형 반도체 패키지를 만들기 위해 새로운 조립방법을 사용해야 하고, 새로운 재료를 사용해야 하고, 제조 공정이 복잡하기 때문에 개선을 필요로 한다.

【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명이 이루고자 하는 기술적 과제는 반도체 칩의 적층 방법 및 와이어 본딩 공정을 최적화하여 기존의 설비 및 기존 공정을 그대로 이용하여 제조할 수 있는 적층형 반도체 패키지를 제공하는데 있다.

- <18> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 적층형 반도체 패키지의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <19> 상기 기술적 과제를 달성하기 위한 본 발명에 의한 적층형 반도체 패키지는 접속수단을 포함하는 반도체 패키지의 기본 골격재와, 상기 기본 골격재에 탑재되고 내부에 제1 및 제2 본드패드를 포함하는 하부 반도체 칩, 상기 하부 반도체 칩 위에 탑재되되 상기 하부 반도체 칩의 제2 본드패드가 노출되도록 탑재되며 내부에 제1 및 제2 본드패드를 포함하는 중간 반도체 칩, 상기 중간 반도체 칩 위에 탑재되되 상기 중간 반도체 칩의 제2 본드패드가 노출되도록 탑재되며 내부에 제1 및

제2 본드패드를 포함하는 상부 반도체 칩, 상기 하부 반도체 칩, 중간 반도체 칩 및 상부 반도체 칩에서 서로 대응하는 제2 본드패드를 서로 전기적으로 연결하는 제1 연결수단, 상기 상부 반도체 칩의 제1 본드패드와 상기 기본 골격재의 접속수단을 서로 전기적으로 연결하는 제2 연결수단 및 상기 반도체 칩들, 연결수단들 및 리드프레임 일부를 밀봉하는 봉지수지를 구비한다.

<20> 본 발명의 바람직한 실시예에 의하면, 상기 기본 골격재는 QFN형 반도체 패키지에 사용되는 리드프레임, 인쇄회로기판 및 절연성 배선 기판 중에서 어느 하나인 것이 적합하다.

<21> 바람직하게는, 상기 하부, 중간 및 상부 반도체 칩은 동일 종류의 반도체 칩인 것이 적합하고, 상기 중간 반도체 칩은 복수개인 것이 바람직하다.

<22> 상기 다른 기술적 과제를 달성하기 위한 본 발명에 의한 적층형 반도체 패키지 제조방법은, 접속수단을 갖는 기본 골격재를 준비한다. 제1 본드패드가 반도체 칩의 다른 위치로 재배치된 제2 본드패드를 갖는 하부, 중간 및 상부 반도체 칩들을 준비한다. 상기 기본 골격재 위에 상기 하부, 중간 및 상부 반도체 칩을 탑재하되 상기 제2 본드패드가 외부로 노출되도록 계단형으로 탑재한다. 상기 하부, 중간 및 상부 반도체 칩의 제2 본드패드끼리 제1 연결수단으로 와이어 본딩한다. 상기 상부 반도체 칩의 제1 본드패드와 기본 골격재의 접속수단을 제2 연결수단으로 와이어 본딩한다. 상기 결과물을 봉지수지로 밀봉한다. 상기 기본 골격재가 인쇄회로기판 혹은 절연성 배선기판인 경우 필요에 따라 솔더볼을 부착한다.

<23> 본 발명의 바람직한 실시예에 의하면, 상기 제1 연결수단, 예컨대 본딩 와이어를 통한 와이어 본딩 방법은 아래에 있는 반도체 칩의 제2 본드패드에 볼 본딩(ball bonding)하고, 위에 있는 반도체 칩의 제2 본드패드에 스티치 본딩(stitch bonding)을 하는 것이 적합하다.

- <24> 본 발명에 따르면, 반도체 칩의 적층 방법 및 와이어 본딩 방법을 개선하여 최소면적으로 향상된 성능을 발휘할 수 있는 적층형 반도체 패키지를 구현할 수 있고, 기존에 개발된 설비와 공정을 이용하기 때문에 단순화 공정만으로 적층형 반도체 패키지를 만들 수 있으며, 기존에 개발된 설비와 공정을 이용하기 때문에 설비 투자 비용을 절감할 수 있다.
- <25> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.
- <26> 본 명세서에서 말하는 기본 골격재는 가장 넓은 의미로 사용하고 있으며 도면에 나타난 것과 같이 QFN 반도체 패키지용 리드프레임만을 한정하는 것이 아니다. 본 발명은 그 정신 및 필수적 특징을 이탈하지 않고 다른 방식으로 실시될 수 있다. 예를 들면, 상기 바람직한 실시예에 있어서는 상기 기본 골격재가 QFN 반도체 패키지용 리드프레임이지만, 이는 CSP(Chip Scale Package)에 사용되는 리드프레임, 혹은 BGA(Ball Grid Array) 패키지에 사용되는 인쇄회로기판 및 플렉서블(flexible) 기판과 같은 절연성 배선 기판이어도 무방하다. 또한 동일 종류의 반도체 칩은 필요에 따라 다른 종류의 반도체 칩으로 치환할 수도 있는 것이다. 따라서, 아래의 바람직한 실시예에 기재한 내용은 예시적인 것이며 본 발명을 한정하는 의미가 아니다.
- <27> 도 1은 본 발명에서 사용되는 제1 본드패드가 재배치된 제2 본드패드를 갖는 반도체 칩을 설명하기 위해 도시한 평면도이다.
- <28> 도 1을 참조하면, 본 발명에 의한 적층형 반도체 패키지에 제조에 사용되는 반도체 칩(200, 300, 400)은, 제2 본드패드(204)를 갖는 특징이 있다. 상기 제2 본드패드(204)는 최초 반도체 칩(200)에 있던 제1 본드패드(202)가 재배선 패턴(Redistribution pattern, 206)에 의

해 특정한 영역으로 위치가 바뀐 형태를 말한다. 상기 제2 본드패드(204)를 만드는 이유는 제1 본드패드(202)의 위치에 구애받지 않고 와이어 본딩(wire bonding)을 유동적으로 하기 위함이다.

<29> 상기 제2 본드패드(204)를 만드는 방법은, 반도체 칩(200)에서 최상부에 있는 패시베이션막(passivation film) 위에 재배치 패턴(206) 및 제2 본드패드(204)를 형성한다. 이어서 절연막, 예컨대 폴리이미드(polyimide)막을 상기 재배치 패턴(206) 및 제2 본드패드(204)가 형성된 반도체 기판(200) 위에 코팅한다. 그 후 상기 제1 및 제2 본드패드(202, 204)가 있는 부분(208)을 식각하여 제1 및 제2 본드패드(202, 204)를 외부로 노출시켜 만든다. 상기 제2 본드패드(204)의 위치는 필요에 따라 다른 곳으로 위치로 옮겨도 무방하다. 이렇게 본드패드의 위치가 재배치된 반도체 칩을 POC(Pad On Chip)라 한다.

<30> 도 2는 본 발명에 의한 적층형 반도체 패키지를 설명하기 위해 도시한 단면도이다.

<31> 도 2를 참조하면, 본 발명에 의한 적층형 반도체 패키지(100)는, 접속수단(114)이 형성된 기본 골격재(110)를 포함한다. 상기 기본 골격재(110)는 적층형 반도체 패키지가 BGA(Ball Grid Array) 패키지인 경우, 인쇄회로기판 혹은 폴리이미드(polyimide)로 만들어진 플렉서블(flexible) 기판을 사용할 수 있다. 상기 플렉서블 기판은 다른 명칭으로 절연성 배선 기판이라 지칭한다. 또한, 적층형 반도체 패키지가 CSP(Chip Scale Package) 혹은 QFN(Quad Flat No-lead)형 반도체 패키지인 경우 리드프레임을 사용한다. 본 발명에서는 QFN 형태의 반도체 패키지를 중심으로 설명하였다. 상기 QFN형 반도체 패키지에 사용되는 리드프레임(110)의 구조는 칩패드들(chip paddle, 112)과 내부리드(114)로 이루어진다. 여기서 칩패드들(112)은 반도체 칩(200, 300A, 300B, 400)이 탑재되는 영역을 가리키고, 내부리드(114) 제2 연결수단(140)이 와이어 본딩되는 영역을 가리킨다.

<32> 본 발명에 의한 적층형 반도체 패키지(100)는 상기 기본 골격재(110) 위에 탑재되고, 내부에 제1 및 제2 본드패드를 포함하는 하부 반도체 칩(200), 상기 하부 반도체 칩(200) 위에 탑재되되 상기 하부 반도체 칩(200)의 제2 본드패드(미도시)가 노출되도록 탑재되며 내부에 제1 및 제2 본드패드를 포함하는 중간 반도체 칩(300A, 300B), 및 상기 중간 반도체 칩(300A, 300B) 위에 탑재되되 상기 중간 반도체 칩(300A, 300B)의 제2 본드패드가 노출되도록 탑재되며 내부에 제1 및 제2 본드패드를 포함하는 상부 반도체 칩(400)을 포함한다. 상기 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)은 도 1에서 설명된 바와 같이 제2 본드패드를 갖는다. 또한, 상기 중간 반도체 칩(300A, 300B)은 하나 혹은 그 이상 복수 개로 형성할 수 있다. 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)은 동일 종류의 반도체 소자, 예컨대 디램(DRAM)인 것이 바람직하다. 그러나 필요에 따라 다른 종류의 반도체 소자를 사용할 수도 있다.

<33> 본 발명에 의한 적층형 반도체 패키지(100)는 상기 하부 반도체 칩(200), 중간 반도체 칩(300A, 300B) 및 상부 반도체 칩(400)에서 서로 대응하는 제2 본드패드끼리 서로 전기적으로 연결하는 제1 연결수단(130), 예컨대 본딩 와이어를 포함한다. 상기 제1 연결수단(130)은 아래쪽에 있는 반도체 칩(200)의 제2 본드패드에서는 볼 본딩을 수행하고, 위쪽에 있는 반도체 칩(300A)에 스티치(stitch) 본딩을 수행한다.

<34> 본 발명에 의한 적층형 반도체 패키지(100)는 상기 상부 반도체 칩(400)의 제1 본드패드와 상기 기본 골격재(110)의 접속수단(114)을 서로 전기적으로 연결하는 제2 연결수단(140), 예컨대 본딩 와이어를 포함한다. 또한, 본 발명에 의한 적층형 반도체 패키지(100)는, 상기 반도체 칩들(200, 300A, 300B, 400), 연결수단들(130, 140) 및 리드프레임(110) 일부를 밀봉하는 봉지수지(150)를 포함한다. 상기 기본 골격재(110)의 접속수단(114)은 제2 연결수단으로

와이어 본딩이 되는 영역으로서 QFN용 리드프레임에서는 내부리드(inner lead)가 된다. 상기 봉지수지(150)는 에폭시 몰드 컴파운드(EMC: Epoxy Mold Compound)를 사용할 수 있다. 도면의 참조부호 120은 절연성 접착테이프로서, 반도체 패키지 제조공정에서 소잉 공정(sawing process) 이전에 웨이퍼 뒷면에 부착시키는 것이 적합하다.

<35> 도 3은 본 발명에서 반도체 칩들이 적층된 형태와 제1 및 제2 연결수단이 와이어 본딩된 형태를 설명하기 위해 도시한 개략적인 단면도이고, 도 4는 개략적인 평면도이다.

<36> 도 3 및 도 4를 참조하면, 본 발명에 의한 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)은 기본 골격재의 칩 패들(112) 위에 탑재할 때에 계단형으로 탑재된다. 이는 재배치된 제2 본드패드에 제1 연결수단(130)으로 와이어 본딩이 가능하도록 하기 위함이다. 상기 중간(300A, 300B) 및 상부 반도체 칩(400)에서 제1 연결수단(130)의 연결부(132)는 아래쪽 반도체 칩의 제2 본드패드를 연결하기 위해 스티치 본딩이 된 부분 위에, 다시 위쪽 반도체 칩을 연결하기 위해 볼 본딩이 이루어진 형태이다. 상기 제2 연결수단(140)은 상부 반도체 칩(400)의 제1 본드패드(402)와 기본 골격재의 접속수단, 예컨대 내부리드(114)에 연결된다. 따라서 제1 연결수단(130)과 제2 연결수단(140)이 전후좌우의 다른 방향으로 와이어 본딩됨으로 인하여 공간을 효율적으로 이용할 수 있다. 또한 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)은 제1 본드패드(402)와 제2 본드패드(204)가 식각된 부분(208, 408)에 의해 노출된 상태이다.

<37> 이어서 도 2를 참조하여 본 발명에 의한 적층형 반도체 패키지의 제조방법에 대하여 설명한다.

<38> 본 발명에 의한 적층형 반도체 패키지의 제조방법은, 먼저 접속수단(110)을 갖는 기본 골격재(110)를 준비한다. 그리고 제1 본드패드가 반도체 칩의 다른 위치로 재배치된 제2 본드

패드를 갖는 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)들을 준비한다. 그 후, 상기 기본 골격재(110)의 칩 패들(112) 위에 상기 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)을 탑재하되 상기 제2 본드패드(204)가 외부로 노출되도록 계단형으로 탑재한다. 이때, 반도체 칩끼리의 접착은 반도체 칩의 밑면에 붙어있는 절연성 접착테이프(120)에 의해 이루어진다. 상기 절연성 접착테이프(120)는 소잉 공정 이전에 웨이퍼의 밑면에 붙여지는 것이 적합하다.

<39> 계속해서, 상기 하부(200), 중간(300A, 300B) 및 상부 반도체 칩(400)의 제2 본드패드끼리 제1 연결수단(130)으로 와이어 본딩한다. 상기 제1 연결수단(130)을 와이어 본딩하는 방법은, 아래쪽의 제2 본드패드에 볼 본딩을 수행하고 위쪽의 제2 본드패드에 스티치 본딩을 수행하는 것이 적합하다.

<40> 그리고 상기 상부 반도체 칩(400)의 제1 본드패드와 기본 골격재(110)의 접속수단, 예컨대 내부리드(114)를 제2 연결수단(140)으로 와이어 본딩한다. 계속해서 상기 제2 연결수단(150)으로 와이어 본딩된 결과물을 봉지수지(Epoxy mold Compound, 150)로 밀봉한다. 상기 기본 골격재가 인쇄회로기판 혹은 절연성 배선기판인 경우 선택적으로 솔더볼(미도시)을 부착한다.

<41> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<42> 따라서, 상술한 본 발명에 따르면, 첫째, 반도체 칩의 적층 방법 및 와이어 본딩 방법을 개선하여 최소면적으로 향상된 성능을 발휘할 수 있는 적층형 반도체

패키지를 구현할 수 있다. 둘째, 기존에 개발된 설비와 공정을 이용하기 때문에 비교적 쉬운 공정으로 적층형 반도체 패키지를 만들 수 있다. 셋째, 기존에 개발된 설비와 공정을 이용하기 때문에 설비 투자 비용을 절감할 수 있다.

【특허청구범위】**【청구항 1】**

접속수단을 포함하는 반도체 패키지의 기본 골격재;

상기 기본 골격재에 탑재되고 내부에 제1 및 제2 본드패드를 포함하는 하부 반도체 칩;

상기 하부 반도체 칩 위에 탑재되되 상기 하부 반도체 칩의 제2 본드패드가 노출되도록
탑재되며 내부에 제1 및 제2 본드패드를 포함하는 중간 반도체 칩;

상기 중간 반도체 칩 위에 탑재되되 상기 중간 반도체 칩의 제2 본드패드가 노출되도록
탑재되며 내부에 제1 및 제2 본드패드를 포함하는 상부 반도체 칩;

상기 하부 반도체 칩, 중간 반도체 칩 및 상부 반도체 칩에서 서로 대응하는 제2 본드패
드를 서로 전기적으로 연결하는 제1 연결수단;

상기 상부 반도체 칩의 제1 본드패드와 상기 기본 골격재의 접속수단을 서로 전기적으
로 연결하는 제2 연결수단; 및

상기 반도체 칩들, 연결수단들 및 리드프레임 일부를 밀봉하는 봉지수지를 구비하는 것
을 특징으로 하는 적층형 반도체 패키지.

【청구항 2】

제1항에 있어서,

상기 기본 골격재는 리드프레임인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 3】

제2항에 있어서,

상기 리드프레임은 내부리드 및 칩 패들(chip paddle)이 봉지수지 외부로 노출되는 형태의 리드프레임인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 4】

제3항에 있어서,

상기 리드프레임은 QFN(Quad Flat No-lead)형 반도체 패키지에 사용되는 리드프레임인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 5】

제1항에 있어서,

상기 기본 골격재는 인쇄회로기판인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 6】

제5항에 있어서,

상기 기본 골격재는 플렉시블 기판(Flexible substrate)에 구리배선이 형성된 절연성 배선 기판인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 7】

제1항에 있어서,

상기 적층형 반도체 패키지는 상기 기본 골격재의 접속수단과 전기적으로 연결되는 외부 연결단자를 더 구비하는 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 8】

제1항에 있어서,

상기 외부연결단자는 솔더볼인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 9】

제1항에 있어서,

상기 하부, 중간 및 상부 반도체 칩에서 상기 제2 본드패드는,

상기 제1 본드패드를 재배치한 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 10】

제1항에 있어서,

상기 하부, 중간 및 상부 반도체 칩은,

동일 종류의 반도체 칩인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 11】

제1항에 있어서,

상기 하부, 중간 및 상부 반도체 칩은,

상기 기본 골격재 위에 계단형으로 탑재된 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 12】

제1항에 있어서,

상기 제1 및 제2 연결수단은 본딩 와이어인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 13】

제12항에 있어서,

상기 제1 연결수단은 아래에 있는 반도체 칩의 제2 본딩패드에 볼 본딩(ball bonding)을 하고, 위에 있는 반도체 칩의 제2 본딩패드에는 스티치 본딩(stitch bonding)을 하는 형태인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 14】

제13항에 있어서,

상기 중간 반도체 칩은 복수개인 것을 특징으로 하는 적층형 반도체 패키지.

【청구항 15】

접속수단을 갖는 기본 골격재를 준비하는 단계;

제 1 본드패드가 반도체 칩의 다른 위치로 재배치된 제2 본드패드를 갖는 하부, 중간 및 상부 반도체 칩들을 준비하는 단계;

상기 기본 골격재 위에 상기 하부, 중간 및 상부 반도체 칩을 탑재하되 상기 제2 본드패드가 외부로 노출되도록 계단형으로 탑재하는 단계;

상기 하부, 중간 및 상부 반도체 칩의 제2 본드패드끼리 제1 연결수단으로 와이어 본딩하는 단계;

상기 상부 반도체 칩의 제1 본드패드와 기본 골격재의 접속수단을 제2 연결수단으로 와이어 본딩하는 단계; 및

상기 결과물을 봉지수지로 밀봉하는 단계를 구비하는 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【청구항 16】

제15항에 있어서,

상기 기본 골격재는 리드프레임, 인쇄회로기판 및 플렉시블 기판 중에서 선택된 하나인 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【청구항 17】

제15항에 있어서,

상기 하부, 중간 및 상부 반도체 칩을 탑재하는 방법은,

절연성 접착 테이프를 사용하여 탑재하는 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【청구항 18】

제17항에 있어서,

상기 절연성 접착 테이프는 웨이퍼 소잉(sawing) 공정 이전에 웨이퍼 뒷면에 접착된 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【청구항 19】

제15항에 있어서,

상기 제1 연결수단을 통한 와이어 본딩 방법은,

아래에 있는 반도체 칩의 제2 본드패드 에 볼 본딩을 하고 위에 있는 반도체 칩의 제2 본드패드에는 스티치 본딩을 하는 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【청구항 20】

제15항에 있어서,



1020030010761

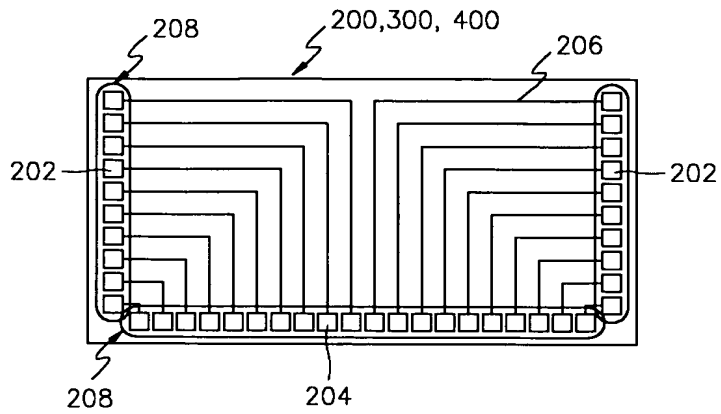
출력 일자: 2003/9/25

상기 봉지수지로 밀봉하는 단계 후에,

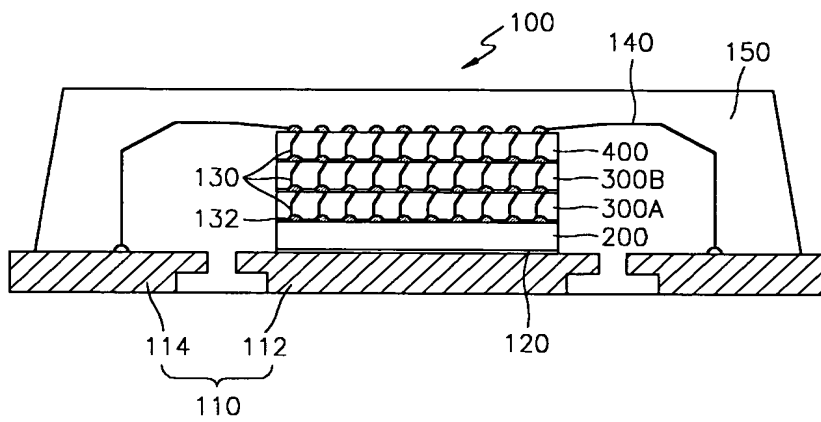
상기 기본 골격재의 접속수단과 연결된 외부연결단자를 부착하는 단계를 더 진행하는 것을 특징으로 하는 적층형 반도체 패키지 제조방법.

【도면】

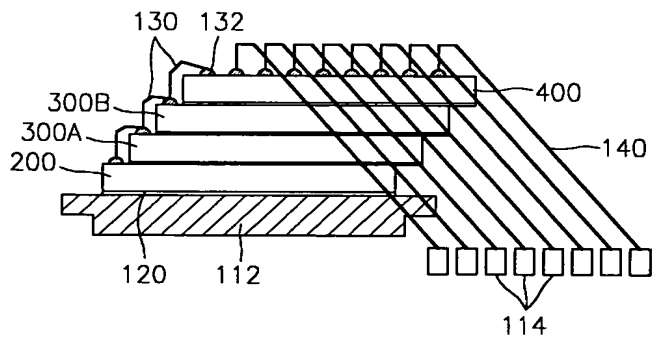
【도 1】



【도 2】



【도 3】



【도 4】

